

Docket No.: 67162-028

**PATENT**

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Application of	:	Customer Number: 20277
Makoto KIDARA	:	Confirmation Number:
Serial No.:	:	Group Art Unit:
Filed: October 29, 2003	:	Examiner: Unknown
For:	:	CIRCUIT SIMULATION FOR A CIRCUIT INCLUDING TRANSISTORS

**CLAIM OF PRIORITY AND  
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop CPD  
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:


In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims the priority of:

**Japanese Patent Application No. 2003-064866, filed March 11, 2003**

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY

  
Stephen A. Becker  
Registration No. 26,527

600 13<sup>th</sup> Street, N.W.  
Washington, DC 20005-3096  
(202) 756-8000 SAB:tlb  
Facsimile: (202) 756-8087  
Date: October 29, 2003

67162-028  
KIDARA  
October 29, 2003  
庁

日 本 国 特 許  
JAPAN PATENT OFFICE

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2003年 3月11日

出 願 番 号

Application Number:

特願2003-064866

[ST.10/C]:

[JP2003-064866]

出 願 人

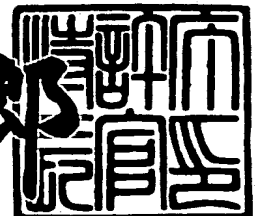
Applicant(s):

三菱電機株式会社

2003年 4月11日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

太田信一郎



出証番号 出証特2003-3025326

【書類名】 特許願  
【整理番号】 542798JP01  
【提出日】 平成15年 3月11日  
【あて先】 特許庁長官殿  
【国際特許分類】 G01R 31/26  
G06F 17/50

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会  
社内

【氏名】 木寺 真琴

【特許出願人】

【識別番号】 000006013

【住所又は居所】 東京都千代田区丸の内二丁目2番3号

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100062144

【弁理士】

【氏名又は名称】 青山 葆

【選任した代理人】

【識別番号】 100086405

【弁理士】

【氏名又は名称】 河宮 治

【選任した代理人】

【識別番号】 100098280

【弁理士】

【氏名又は名称】 石野 正弘

【手数料の表示】

【予納台帳番号】 013262

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 回路シミュレータおよびシミュレーションシステム

【特許請求の範囲】

【請求項 1】 複数のトランジスタを含む回路の電気特性のシミュレーションを行う回路シミュレータであって、

前記複数のトランジスタのサイズおよび位置に基づいて構築されたモデルを格子状に配置したパターン、および、前記複数のトランジスタのうち、2以上の第1のトランジスタの電気特性を測定した測定データを格納した記憶装置と、

所定の補間規則に基づいて、前記パターン内で前記第1のトランジスタとは異なる第2のトランジスタを特定し、前記測定データに基づいて前記第2のトランジスタの電気特性を補間した補間データを取得する処理部と

を備え、前記処理部は、前記パターン内の任意の位置を特定して、該データ補間位置の周囲4つのトランジスタの前記測定データおよび前記補間データの少なくとも一方に基づいて、該任意の位置における電気特性のデータを補間して出力する、回路シミュレータ。

【請求項 2】 前記所定の補間規則は、前記複数のトランジスタのゲート長およびゲート幅で2次元化した関数に基づいて規定されている、請求項 1 に記載の回路シミュレータ。

【請求項 3】 前記所定の補間規則は、前記複数のトランジスタのゲート電圧に対して、そのしきい値電圧を考慮した関数に基づいて規定されている、請求項 1 または 2 に記載の回路シミュレータ。

【請求項 4】 請求項 1 ～ 3 のいずれかに記載の回路シミュレータと、前記回路シミュレータの出力結果に基づいて、電気特性の検証を行う検証部とを備えたシミュレーションシステムであって、

前記回路シミュレータにおいて、前記記憶装置は、前記複数のトランジスタの動作特性を表すパラメータをさらに格納し、前記処理部は、前記パラメータに基づいて、前記回路の電気特性をシミュレートしてシミュレーション結果を前記記憶装置に格納し、

前記検証部は、前記補間値と、前記シミュレーション結果との誤差を計算する

、シミュレーションシステム。

【請求項 5】 請求項 1～3 のいずれかに記載の回路シミュレータと、  
前記回路シミュレータの出力結果に基づいて、電気特性の検証を行う検証部  
とを備えたシミュレーションシステムであって、

前記回路シミュレータにおいて、前記記憶装置は、前記測定値および前記補  
間値を用いて生成されたテーブルを格納し、前記処理部は、前記テーブルを参照  
して前記回路の電気特性をシミュレートし、シミュレーション結果を前記記憶装  
置に格納し、

前記検証部は、前記補間値と、前記シミュレーション結果との誤差を計算する  
、シミュレーションシステム。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、MOSFET の測定サイズ（ゲート長／ゲート幅）にないサイズの  
MOSFET の電気特性を予測する技術に関する。

【 0 0 0 2 】

【従来の技術】

MOS トランジスタの回路設計シミュレーションに際しては、通常は、複数の  
MOS トランジスタのチャネル長／幅寸法を規定したモデルパラメータセットを  
用意し、回路設計で使用する個々のトランジスタのチャネル長／幅寸法に対して  
最適と考えられるモデルパラメータセットを選択する。そしてその選択したモデ  
ルパラメータセットを用いて、回路シミュレーションを行っている（例えば、特  
許文献 1 参照）。また回路シミュレーションのテーブルモデルにおいても、同様  
に有限個のデバイスの電気特性を測定して測定値のテーブルを生成し、そのテー  
ブルを参照して計算を行っている。

【 0 0 0 3 】

上述の手法では、ウェハ上面積の制限やプロセス上の仕上がり形状などのため  
、設計時に使用されるサイズと等しいサイズの測定デバイスは存在するとは限ら  
ない。上述の特許文献 1 をはじめとして、従来は、モデルパラメータを最適化す

ることによって、より好ましいモデルパラメータセットを特定していた。

【0004】

MOSトランジスタの直流電気特性がチャンネル長／幅寸法に依存して変化することに鑑みると、より正確なシミュレーションを行うためには、実デバイスのサイズとは異なるサイズでの電気特性を得る必要がある。そこで、必要となるサイズの実デバイスが存在しない場合には、回路シミュレーションモデルの形状に依存した予測により電気特性のシミュレーションを行う手法が考えられる。

【0005】

【特許文献1】

特開平10-65159号公報（【0003】段落）

【発明が解決しようとする課題】

しかし、予測を用いた手法によるシミュレーションの精度は、モデルの形状に依存した電気特性の予測結果に依るところが大きい。抽出したパラメータの値によっては、実測点では必要な精度を満足していても実測点以外の点では事実上存在し得ない特性をシミュレートすることがある。これを防ぐためには、最適化対象となる実測サイズをさらに増やし、回路シミュレーションモデルのパラメータ抽出時の束縛条件を増やす必要がある。また、個々のサイズに対して実測値を用いる回路シミュレーションのテーブルモデルに関しても、実測サイズ以外のサイズをシミュレーションするためには、ある実測サイズのテーブルデータから如何にして予測精度を上げるかが問題となる。

【0006】

本発明の目的は、MOSFETの実測サイズ（ゲート長／ゲート幅）に基づいて、所望のサイズを有するMOSFETの電気特性を精度高く予測することである。

【0007】

【課題を解決するための手段】

本発明の回路シミュレータは、複数のトランジスタを含む回路の電気特性のシミュレーションを行う。回路シミュレータは、前記複数のトランジスタのサイズおよび位置に基づいて構築されたモデルを格子状に配置したパターン、および、

前記複数のトランジスタのうち、2以上の第1のトランジスタの電気特性を測定した測定データを格納した記憶装置と、所定の補間規則に基づいて、前記パターン内で前記第1のトランジスタとは異なる第2のトランジスタを特定し、前記測定データに基づいて前記第2のトランジスタの電気特性を補間した補間データを取得する処理部とを備えている。前記処理部は、前記パターン内の任意の位置を特定して、該任意の位置の周囲4つのトランジスタの前記測定データおよび前記補間データの少なくとも一方に基づいて、該任意の位置における電気特性のデータを補間して出力する。

## 【 0 0 0 8 】

本発明のシミュレーションシステムは、上述の回路シミュレータと、前記回路シミュレータの出力結果に基づいて、電気特性の検証を行う検証部とを備えている。前記回路シミュレータにおいては、前記記憶装置は、前記複数のトランジスタの動作特性を表すパラメータをさらに格納し、前記処理部は、前記パラメータに基づいて、前記回路の電気特性をシミュレートしてシミュレーション結果を前記記憶装置に格納する。前記検証部は、前記補間値と、前記シミュレーション結果との誤差を計算する。シミュレーションシステムでは、前記記憶装置は、前記測定値および前記補間値を用いて生成されたテーブルを格納し、前記処理部は、前記テーブルを参照して前記回路の電気特性をシミュレートしてもよい。

## 【 0 0 0 9 】

## 【発明の実施の形態】

以下、添付の図面を参照して本発明の実施の形態を説明する。

## 【 0 0 1 0 】

## (実施の形態1)

図1は、実施の形態1によるシミュレーションシステム10の構成を示すブロック図である。シミュレーションシステム10は、入力ファイル2と、回路シミュレータ4と、検証システム6と、出力ファイル8とを備えている。シミュレーションシステム10は、設計された酸化膜半導体電界効果トランジスタ(MOSFET)回路の電気特性をシミュレートする際に利用され、主としてコンピュータを利用して構築される。すなわち、回路シミュレータ4および検証システム



6は、後述する処理フローに従った処理を行うコンピュータの中央処理ユニット（CPU）（図示せず）により実現される。入力ファイル2および検証システム6は、コンピュータの2次記憶装置（ハードディスクドライブ等）に格納されている。なお入力ファイル2および出力ファイル8は、各1つのファイルとして示されているが、必ずしも各1つでなくてもよい。入力ファイル2は、検証システム6により生成され、回路シミュレータ4に読み込まれるファイルの総称であり、また出力ファイル8は、回路シミュレータ4により生成され、検証システム6に読み込まれるファイルの総称である。

#### 【0011】

各構成要素を説明する。回路シミュレータ4は、入力ファイル2を読み込んで、所定の条件を設定してシミュレーションを行い、結果を出力ファイル8として出力する。このとき、回路シミュレータ4は検証システム6と通信を行い、例えば回路シミュレータ4が処理を終了したこと等を検証システム6に連絡する。回路シミュレータ4から連絡を受けた検証システム6は、回路シミュレータ4の出力結果である出力ファイル8を読み込み、次は検証システム6で処理を行う。検証システム6は、処理結果を入力ファイル2として生成する。

#### 【0012】

次に図2を参照して、シミュレーションシステム10（図1）の具体的な処理を説明する。図2は、シミュレーションシステム10（図1）の処理の流れを示すフローチャートである。この図では、例えば条件ファイル21、測定データ23、SPICEパラメータ24が、入力ファイル2（図1）に相当する。なお、以下説明する各ステップの出力は、出力ファイル8の一部として、ハードディスクドライブ等の記憶装置に一時的に格納される。

#### 【0013】

まず回路シミュレータ4（図1）は、検証を行う条件を記述した条件ファイル21を読み出して、条件ファイル21に規定された条件データを読み込み、条件構造体22に格納する（ステップS201）。条件ファイルは、検証を行うMOSのゲートサイズの生成ルールや、バイアス条件等が記述されたファイルである（フォーマットについては後述する）。条件構造体22は、CPUが必要な条件

データを参照できるデータ構造で構築されている。次に条件構造体 22 および測定データ 23 を用いて、検証に用いる MOS トランジスタのチャネル長／幅（以下、それぞれ「L」および「W」と称する）を、それぞれ補間 L'、W' として生成する（ステップ S202）。測定データは、予め測定された MOS FET の電気特性（ここでは電流値）に関して記述されたデータであり、検証を行う際のレファレンスとなる。測定データは SPICE パラメータ抽出ツールに入力される。補間 L' / W' については、図 3 等を参照して後述する。生成した L'、W' は、L' / W' 構造体 26 に格納されシミュレーションに用いられる。

## 【0014】

さらに回路シミュレータ 4（図 1）は、条件構造体 22 および測定データ 23 に基づいて、指定されたデータを測定データから抜き出す（ステップ S203）。そして抜き出した実測データと、ステップ S202 において生成された補間 L' / W' に基づいて、電流データ（Ids）の補間を行い、補間値を予測する（ステップ S204）。補間に際しては、補間関数 25-1 を呼び出し、その関数に基づいて演算を行う。補間関数 25-1 は、以下説明する数 1～5 の関数である。補間関数 25-1 は、入力ファイル 2（図 1）に格納されていてもよいし、回路シミュレータ 4（図 1）が保持していてもよい。予測された補間値は、L' / W' 構造体 26 の一部に取り込まれる。

## 【0015】

ステップ S203 以降の処理と並行して、回路シミュレータ 4（図 1）はさらに別の処理を行う。すなわち回路シミュレータ 4（図 1）は、モデルパラメータである SPICE パラメータ 24 に基づいて、L / W の有効範囲を判別する（ステップ S205）。SPICE パラメータとは、MOS トランジスタ等の非線形デバイスの動作特性を表現するモデルに与えられるパラメータであり、例えば、物理的サイズ、トランジスタ基本特性値であり、検証を行うのに必要なパラメータである。次に、条件構造体 22、L' / W' 構造体、モデルパラメータファイル、および、ステップ S205 の判別結果に基づいて、検証サイズに応じてモデル等を選択し、ネットリストを生成する。ネットリストは、一般に回路シミュレータ入力ファイル（tmp\_netlist）に格納された周知のフォーマット

のデータである。回路シミュレータ4（図1）は、上述のネットリストに基づいて、回路の電気特性に関するシミュレーションを実行し、回路シミュレータ出力ファイルを出力する（ステップS207）。回路シミュレータ4（図1）は、出力した回路シミュレータ出力ファイルに基づいて、検証対象となる $L' / W'$ に対応した電流値を $L' / W'$ 構造体26に取り込む（ステップS208）。

## 【0016】

次に処理は検証システム6（図1）に移る。検証システム6（図1）は、 $L' / W'$ 構造体26に基づいて、補間値とシミュレーション値との間で誤差の検証・判定を行う（ステップS209）。誤差の判定に際しては、誤差関数25-2に基づいて演算を行ってもよい。誤差関数25-2は、入力ファイル2（図1）に格納されていてもよいし、回路シミュレータ4（図1）が保持していてもよい。そして検証結果、シミュレーション結果、および、補間Idsをそれぞれテーブル化し、 $L' / W'$ のマトリクスのファイルとして出力する（ステップS210）。

## 【0017】

ステップS210により得られる各テーブルを説明する。検証結果に対しては検証テーブル27が出力される。ファイル検証テーブル27には、シミュレーション結果および測定値から求めた補間値との間の誤差が列記されている。シミュレーション結果に対しては、simテーブル28が出力される。simテーブル28には、回路シミュレータでのシミュレーション結果が示されている。補間Idsに対しては、補間Idsテーブル29が出力される。補間Idsテーブル29には、実測値から求めた補間Ids値が記されている。これら三つのファイルは、MOSゲート長（L）とゲート幅（W）に関してマトリクス上に配置されたテキスト形式で出力され、出力ファイル8（図1）として格納される。表1は、補間Idsテーブル29の例を示す。

## 【0018】

【表 1】

Ids	値	0.5	0.52	0.54	0.56	0.58	0.6	0.62	0.64	L[um]
	9.99	2.264E-03	2.186E-03	2.114E-03	2.047E-03	1.985E-03	1.927E-03	1.872E-03	1.821E-03	
	9.97	2.259E-03	2.182E-03	2.110E-03	2.043E-03	1.981E-03	1.922E-03	1.868E-03	1.817E-03	
	9.95	2.254E-03	2.177E-03	2.105E-03	2.038E-03	1.976E-03	1.918E-03	1.864E-03	1.813E-03	
	9.93	2.249E-03	2.172E-03	2.100E-03	2.034E-03	1.972E-03	1.914E-03	1.860E-03	1.809E-03	
	9.91	2.244E-03	2.167E-03	2.096E-03	2.029E-03	1.967E-03	1.910E-03	1.856E-03	1.805E-03	
	9.89	2.239E-03	2.162E-03	2.091E-03	2.025E-03	1.963E-03	1.906E-03	1.852E-03	1.801E-03	
	9.87	2.234E-03	2.158E-03	2.086E-03	2.020E-03	1.959E-03	1.901E-03	1.848E-03	1.797E-03	
	9.85	2.229E-03	2.153E-03	2.082E-03	2.016E-03	1.954E-03	1.897E-03	1.843E-03	1.793E-03	
	9.83	2.224E-03	2.148E-03	2.077E-03	2.011E-03	1.950E-03	1.893E-03	1.839E-03	1.789E-03	
	9.81	2.219E-03	2.143E-03	2.072E-03	2.007E-03	1.946E-03	1.888E-03	1.835E-03	1.785E-03	
	9.79	2.215E-03	2.138E-03	2.068E-03	2.002E-03	1.941E-03	1.884E-03	1.831E-03	1.781E-03	
	9.77	2.210E-03	2.134E-03	2.063E-03	1.998E-03	1.937E-03	1.880E-03	1.827E-03	1.777E-03	
	9.75	2.205E-03	2.129E-03	2.058E-03	1.993E-03	1.932E-03	1.876E-03	1.823E-03	1.773E-03	
	9.73	2.200E-03	2.124E-03	2.054E-03	1.989E-03	1.928E-03	1.872E-03	1.819E-03	1.769E-03	
	9.71	2.195E-03	2.119E-03	2.049E-03	1.984E-03	1.924E-03	1.867E-03	1.815E-03	1.765E-03	
	9.69	2.190E-03	2.114E-03	2.045E-03	1.980E-03	1.919E-03	1.863E-03	1.810E-03	1.761E-03	
	9.67	2.185E-03	2.110E-03	2.040E-03	1.975E-03	1.915E-03	1.859E-03	1.806E-03	1.757E-03	
	9.65	2.180E-03	2.105E-03	2.035E-03	1.971E-03	1.911E-03	1.855E-03	1.802E-03	1.753E-03	
		W[um]								

【0019】

次に、本実施の形態の主要な特徴の1つである、データを補間する処理（ステップS204）をより詳しく説明する。本実施の形態では、電流の測定値が存在するサイズの当該測定値に基づいて、目的のサイズ（または位置）の電流値データ（Ids）を求める。そのため、以下の2段階の補間（1）および（2）を行う。具体的には、

（1）TEGを格子状に見たとき、電流の測定値が存在するサイズのその測定値に基づいて、シミュレーションの対象となる電流測定値のないサイズの補間電流値（Ids）を求める。

（2）実測値と補間値を含む格子状に配列されたデータに基づいて、任意の位置の位置の補間値を求める。である。

【0020】

本実施の形態では、いわゆるTEG（Test Element Group）を利用して説明する。「TEG」とは、実際のデバイスのパターンではテストが困難な場合に、ある一部分を切り出して着目する特性や形状を評価できるように設計したテストパターンをいう。

【0021】

図3は、データの補間処理の第1段階の手順を具体的に示す図である。ここで記号「○」および「⊙」は、いずれもトランジスタを表すモデルパターンである。このようなモデルパターンは、上述したコンピュータの2次記憶装置（図示せず）に格納されている。各別に説明すると、記号「○」は、TEGを格子状のデータ配列として見たときの測定値が存在しないサイズを表す（以下、「無TEGサイズ」という）。一方記号「⊙」は、TEGを格子状のデータ配列として見たときの測定値が存在するサイズを表す（以下、「有TEGサイズ」という）。

## 【0022】

図3を参照して、まずステップ（I）において、格子状の測定データ配列を仮定して、L方向およびW方向で特定される各位置に、有TEGサイズの測定値を入力する。ステップ（II）に示すように、L方向またはW方向で実測値をもつ有TEGサイズに挟まれた無TEGサイズ（ここでは無TEGサイズA～D）を特定する。そしてステップ（III）に示すように、特定された無TEGサイズA～Dの補間を実行する。

## 【0023】

ここで図4を参照して、L方向の補間を説明する。図4は、所定の無TEGサイズの補間値を得るために必要な有TEGサイズを示す図である。L方向の補間は、無TEGサイズBおよびDが対象となる。図では無TEGサイズBのみを示しており、この無TEGサイズBを例に説明する。まず無TEGサイズBのL/WのサイズをそれぞれL<sub>b</sub>/W<sub>b</sub>とする。また有TEGサイズ1の電流値をI<sub>1</sub>、有TEGサイズ2の電流値をI<sub>2</sub>とする。無TEGサイズBの補間電流値（I<sub>ds</sub>）は数1に基づいて得られる。

## 【0024】

## 【数1】

$$I_{ds} = \frac{W_c}{L_c} \times \frac{(W_2 - W_c) \times \frac{L_1}{W_1} \times I_1 + (L_b - L_1) \times \frac{L_2}{W_2} \times I_2}{L_2 - L_1}$$

## 【0025】

無TEGサイズDについても同様に得ることができる。

## 【0026】

一方、W方向の補間は、無TEGサイズAおよびCが対象となる。図では無TEGサイズCのみを示しており、この無TEGサイズCを例に説明する。無TEGサイズCのL/Wサイズをそれぞれ $L_c/W_c$ とする。また有TEGサイズ3の電流値を $I_3$ とする。すると、無TEGサイズCの補間電流値( $I_{ds}$ )は数2に基づいて得られる。

【0027】

【数2】

$$I_{ds} = \frac{W_c}{L_c} \times \frac{(W_2 - W_c) \times \frac{L_1}{W_1} \times I_1 + (W_c - W_1) \times \frac{L_1}{W_2} \times I_3}{W_2 - W_1}$$

【0028】

無TEGサイズAについても同様に得ることができる。

【0029】

再び図3を参照して、このようにしてステップ(III)において無TEGサイズA～Dの電流値が補間され、補間されたTEGサイズは、これ以降、有TEGサイズA～Dとして振舞う。図では、補間された有TEGサイズをハッチングで示している。

【0030】

次にステップ(IV)で示すように、新たな有TEGサイズA～Dも含め、さらにL方向またはW方向において、有TEGサイズに挟まれた無TEGサイズを特定する。ここでは無TEGサイズEが対象となる。無TEGサイズEについては、W方向およびL方向のいずれに基づいて補間することもできる。

【0031】

次に3つの有TEGサイズに隣接する無TEGサイズの電流値を補間する。そのために、ステップ(V)において、3つの有TEGサイズに隣接する無TEGサイズを特定する。ここでは、無TEGサイズF、G、Hが対象となる。そして、ステップ(VI)に示すように、これらの無TEGサイズに対して補間を実行する。

【0032】

図5を参照して、無TEGサイズFにおける電流値( $I_{ds}$ )の補間を説明す

る。図5は、3方向の有TEGサイズの測定値に基づいて、隣接する無TEGサイズの補間値を得る様子を説明する図である。有TEGサイズ1の電流値をI1、有TEGサイズ2の電流値をI2、有TEGサイズ3の電流値をI3とする。求める無TEGサイズFの補間値Idsは、数3に基づいて得られる。

【0033】

【数3】

$$I_{ds} = \frac{Wf}{L_f} \times I_1 + \frac{\frac{L_1}{W_2} \times I_3 - \frac{L_2}{W_2} \times I_2}{L_2 - L_1} \times (L_2 - L_1)$$

【0034】

無TEGサイズGおよびHについても、同様に得ることができる。無TEGサイズF～Hの電流値が補間されると、補間されたTEGサイズは、これ以降、有TEGサイズF～Hとして振舞う。

【0035】

再び図3を参照して、以上説明したように、ステップ(VI)により、3つの有TEGサイズに隣接する無TEGサイズについて、補間が終了する。この後、上述の補間規則に基づいて、ステップ(I)～(VI)の処理を反復する(ステップ(VII))。すなわち2つの有TEGサイズに挟まれた無TEGサイズ、および、3つの有TEGサイズに隣接する無TEGサイズについて補間を繰り返す。これにより、全ての無TEGサイズの測定値が得られる。よって有TEGサイズに基づいて、格子全体の無TEGサイズを補間して、有TEGサイズとして扱うことができる。

【0036】

図3で説明した処理により、全てのTEGサイズの電流値が特定された。次に、図6を参照して、各TEGサイズを頂点としたときの頂点間の補間値をどのように得るかを説明する。図6は、得られた頂点の値から頂点間の補間値を生成する手法を説明する図である。例えば、今、図6で示す「■」の点の電流値(Ids)を求めたいとする。電流値(Ids)は、数4に示すように、ゲート長(L)およびゲート幅(W)を用いて正規化されたf(L, W)を用いて定義される。このf(L, W)は、数5により定義される。数5では、電流値が必要となる

「■」の点を囲むTEGのサイズの測定値または補間値  $I_{ds}$  を  $L/W$  で正規化し、その結果得られた値 ( $f_0$ 、 $f_1$ 、 $f_2$ 、 $f_3$ ) を用いている。

【0037】

【数4】

$$I_{ds}(sat) = \frac{W}{L} f(L, W)$$

【0038】

【数5】

$$f(L, W) = \frac{(W - W_1) \left\{ \frac{(L_1 - L)f_0 + (L - L_0)f_1}{(L - L_0) + (L_1 - L)} \right\} + (W_2 - W) \left\{ \frac{(L_1 - L)f_2 + (L - L_0)f_3}{(L - L_0) + (L_1 - L)} \right\}}{(W - W_1) + (W_2 - W)}$$

【0039】

この  $f$  に数4のように  $W/L$  を乗算することにより、「■」の点の電流値 ( $I_{ds}$ ) が得られる。ただし、この場合、TEGで囲まれた領域では  $f$  は、 $L$ 、 $W$  に対して線形に変化していると仮定している。

【0040】

以上説明したように、本実施の形態によれば、無TEGサイズのデバイスの電気特性（この例では電流値）を補間により予測できる。よって、TEG設計時、多数のデバイスサイズのバリエーションが必要な場合に、チップ面積の占有等を回避した設計を実現できる。また、予測精度を問題にしない場合は高速に所望の値を得ることができる。

【0041】

さらに、補間値とシミュレーション値との間で誤差の検証・判定を行うので、シミュレーション値の異常がないこと等を確認できる。この確認はコンピュータを用いた処理により自動化することができる。よって回路シミュレーションモデルのパラメータを抽出した場合に、TEGにサイズがないデバイスでの電流特性の挙動を考察できる。

【0042】

さらに、上述の手順で得られた頂点および頂点間の補間値を実測値として取り



扱い、回路シミュレーションモデルのパラメータを抽出することができる。これは、回路設計で使用する個々のトランジスタのチャンネル長／幅寸法に対して、そのチャンネル長／幅寸法のモデルパラメータセットを得られることを意味する。T E G にないサイズの領域まで予測したパラメータを抽出できるので、フィッティングパラメータの決定が容易になるとともに、パラメータの計算値が異常値をとることを防止できる。ローカルピンニングを行う場合には、例えば、ピンの頂点の不足がある場合に仮想測定点を置くことで、各パラメータのサイズ依存性をもつパラメータについて完全に計算値を得ることができる。

## 【0043】

## (実施の形態2)

回路シミュレーションにおいては、解析モデルを使わずに事前に測定した特性のテーブルを参照するようにしてシミュレーションを行うことができる。このようなテーブルを用いた回路シミュレーションモデルを、テーブルモデルという。テーブルサイズ以外のサイズをシミュレーションする場合、実施の形態1の方法によって、あらかじめ入力された複数のテーブルデータから電流値を予測することができる。

## 【0044】

図7は、テーブルモデルを用いた回路シミュレーションの例を示す図である。図ではシミュレーションの対象となるサイズを、 $(L1, W1)$ におけるハッチングを付した矩形で示す。まず複数のサイズで測定した電流値を用意する。この「測定した電流値」は、実施の形態1で説明した補間方法により得られた補間値を含めてもよい。それらを用いて、数5に示す補間式により、対象サイズの位置における電流値を計算する。図では位置 $(L, W) = (L1, W1)$ における電気特性を得る場合には、その周囲4つのサイズ(図7におけるサイズ1~4)のデータから $(L1, W1)$ のデータを予測(補間)することになる。目的のサイズのデータを得るために複数のサイズのテーブルから予測することにより、計算値の精度を上げることができる。

## 【0045】

さらに本実施の形態では、複数のサイズによる測定テーブルを指定してシミュ

レーションを行うのに代えて、実施の形態1で言及したサイズマトリクスとなるテーブルセットを用意し、そのテーブルセットから計算するサイズの電流値を補間値として得ることもできる。このとき実施の形態1で説明したように、テーブルセット作成時に欠落した頂点を補う。これにより、従来のようにMOSFETを個別にモデル指定する必要がなく、各デバイスサイズに対応したMOSFETの特性データをシミュレータが選択できる。

## 【0046】

またこの方法を用いれば、応答曲面で少数データから任意のサイズのデータを予測してシミュレーションを行うことができる。図8は、複数の測定点から得られるゲートサイズ $L/W$ の関数 $g$ を説明する図である。このような関数 $g$ は、 $g = f(L, W)$ として定義される。関数 $g$ により目的のサイズ( $L_1, W_1$ )における値を得ることができる。 $L-W$ 平面の多次曲面における関数 $g$ を定義することで、測定するサイズを減少させることができる。また、複数の測定値から曲面を決定することで、測定での誤差やデバイ特性のばらつきの補間値への影響を減少させることができる。また、 $L-W$ 平面の多次曲面における関数 $g$ を定義してパラメータを抽出することにより、抽出パラメータへの測定誤差やデバイス特性のばらつきの含みを減少させることができる。

## 【0047】

以上本発明の実施の形態1および2を説明した。

## 【0048】

上述の実施の形態1の説明では、補間値の生成に際して数1～5を利用した。しかし、これらの式を変更することによりさらに補間の精度（予測精度）を向上できる。以下、実測値を利用して得られた補間値の精度を向上する例を説明する。

## 【0049】

MOSFETのゲート電圧 $V_{th}$ は、MOSFETの形状に依存するため、目的のゲート電圧を各サイズで補正して元になるデータを選択する。予め測定しているサイズのテーブルからしきい値電圧を計算し、最大ゲート幅と最大ゲート長をもつデバイス（または、補間の基礎となるデータ群のうちの1つを参照デバイ

スとしたときのその参照デバイス) のしきい値からのシフト量を差し引いた修正ゲート電圧  $V_{gs}'$  における電流値を基礎として補間を行う。補間後、この値は修正前のゲート電圧での電流値としてテーブルに格納される。

【0050】

以下、簡易的な計算モデルを用いて説明する。MOSFETのドレイン電流は線形領域で数6に示す式により定義され、飽和領域で数7に示す式により定義される。これらの式では、修正前のゲート電圧は " $V_{gs}$ " として表している。

【0051】

【数6】

$$I_{ds} = \mu_n C_{ox} \frac{W}{L} (V_{gs} - V_{th} - \frac{V_{ds}}{2}) V_{ds}$$

【0052】

【数7】

$$I_{ds} = \frac{\mu_n C_{ox}}{2} \frac{W}{L} (V_{gs} - V_{th})^2$$

【0053】

しきい値電圧  $V_{th}$  は形状に依存する値であるため、この項を予め参照デバイスからのシフト分  $V_{th}$  だけ  $V_{gs}$  からシフトする。その結果、ゲート電圧は  $V_{gs} - V_{th} = V_{gs}'$  となる。この  $V_{gs}'$  が等しいもの同士を補間することにより、 $V_{th}$  に含まれる  $L$  依存性の補間に及ぼす誤差を削除して所望の  $I_{ds}$  補間値を得ることができる。すなわち補間関数を変更することにより、物理的に信頼性の高い補間値を得ることができる。いうまでもなく、シミュレーションシステム10(図1、図2)にあっては、この補間値を用いて検証および判定を行うことができる。複数の補間値を  $L-W$  平面の多次曲面で定義することで、測定するサイズを減少させることができる。また、複数の測定値から曲面を決定することで、測定での誤差やデバイス特性のばらつきの補間値への影響を減少させることができる。このことは、シミュレーション値対実測の測定誤差やばらつきによる検証への誤認要因を減少させることができる。

【0054】

これまでの説明では、MOS FETの電流値、すなわちドレイン電流を例として説明した。しかし回路シミュレーションで計算可能な特性であれば、ドレイン電流以外であっても、測定データの補間を行いその値を予測できる。例えば、電流値に代えて、しきい値電圧を用いて補間してもよい。ドレイン電流以外のパラメータの値を用いた場合でも、補間値を得た後は、その補間値を用いるシミュレーションシステム10（図1）と同様のシステムを構築して、検証および判定（図1、図2）ができる。また実施の形態1で説明したパラメータの抽出、実施の形態2で説明したテーブルモデルを用いた回路シミュレーションも可能である。これにより、実施の形態で説明した効果と同じ効果を得ることができる。また上述の変形例を組み合わせることにより、予測精度が向上し、検証の正確さおよび信頼性をより高めることができる。

【0055】

【発明の効果】

本発明によれば、一部のトランジスタについて測定した電気特性のデータに基づいて、測定していないトランジスタの電気特性を補間し、補間後のデータおよび測定データの少なくとも一方を利用して任意の位置の電気特性のデータを補間して出力する。電気特性が測定されていないトランジスタの電気特性を予測できるので、設計時の多数のデバイスサイズのバリエーションが必要な場合のチップ面積の占有等を回避できる。

【図面の簡単な説明】

【図1】 実施の形態1によるシミュレーションシステムの構成を示すブロック図である。

【図2】 シミュレーションシステムの処理の流れを示すフローチャートである。

【図3】 データの補間処理の第1段階の手順を具体的に示す図である。

【図4】 所定の無TEGサイズの補間値を得るために必要な有TEGサイズを示す図である。

【図5】 3方向の有TEGサイズの測定値に基づいて、隣接する無TEGサイズの補間値を得る様子を説明する図である。

【図 6】 得られた頂点の値から頂点間の補間値を生成する手法を説明する図である。

【図 7】 テーブルモデルを用いた回路シミュレーションの例を示す図である。

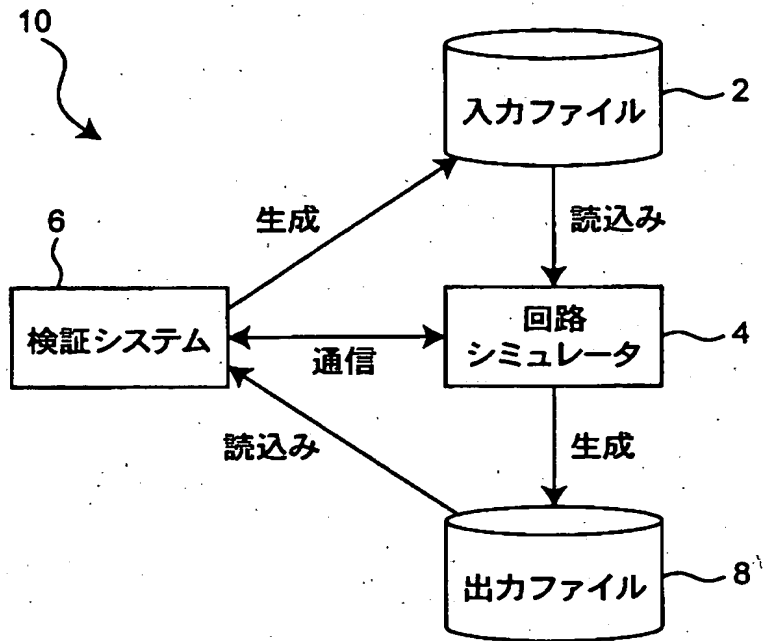
【図 8】 複数の測定点から得られるゲートサイズ  $L/W$  の関数  $g$  を説明する図である。

【符号の説明】

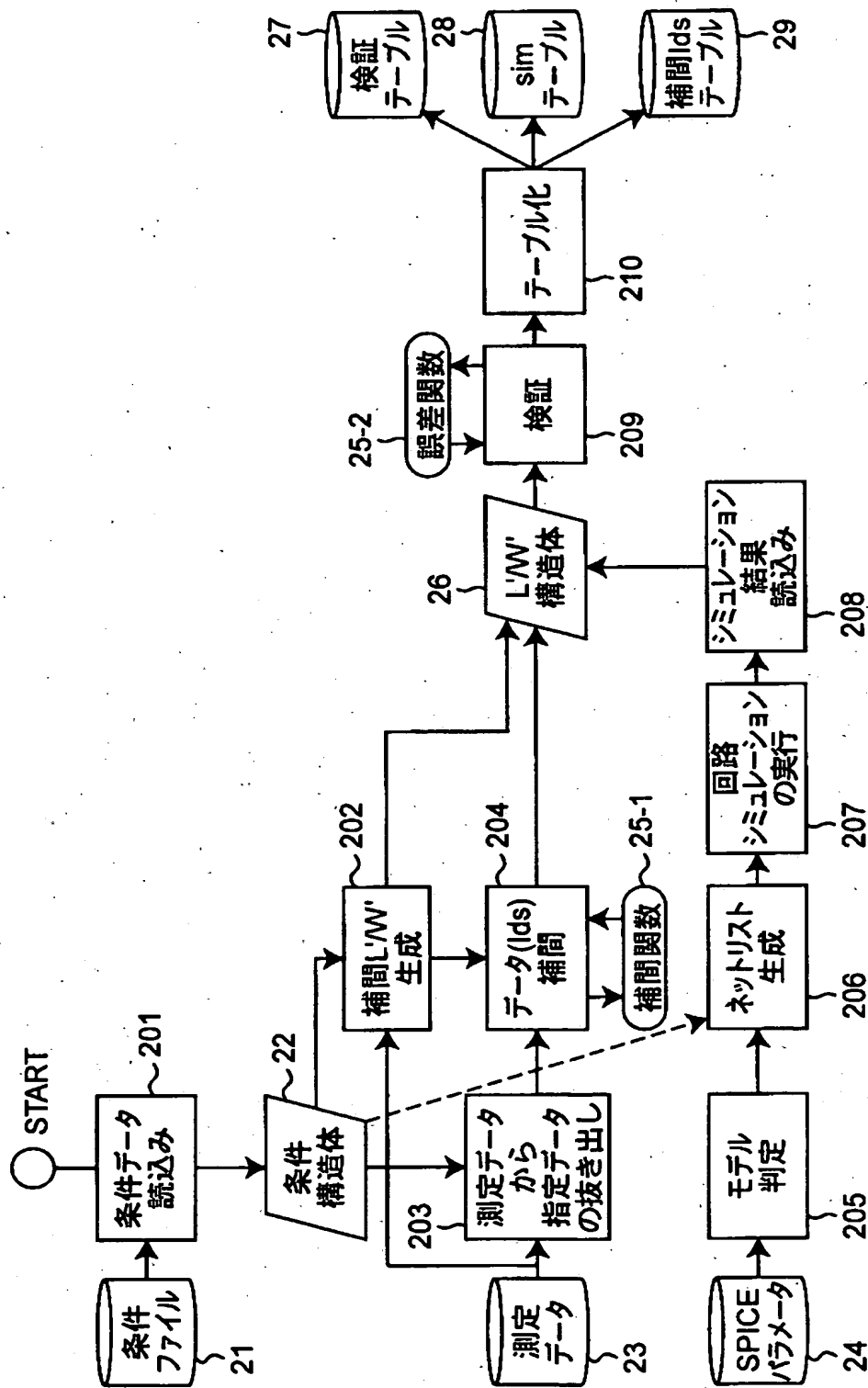
2 入力ファイル、 4 回路シミュレータ、 6 検証システム、 8 出力ファイル、 10 シミュレーションシステム

【書類名】 図面

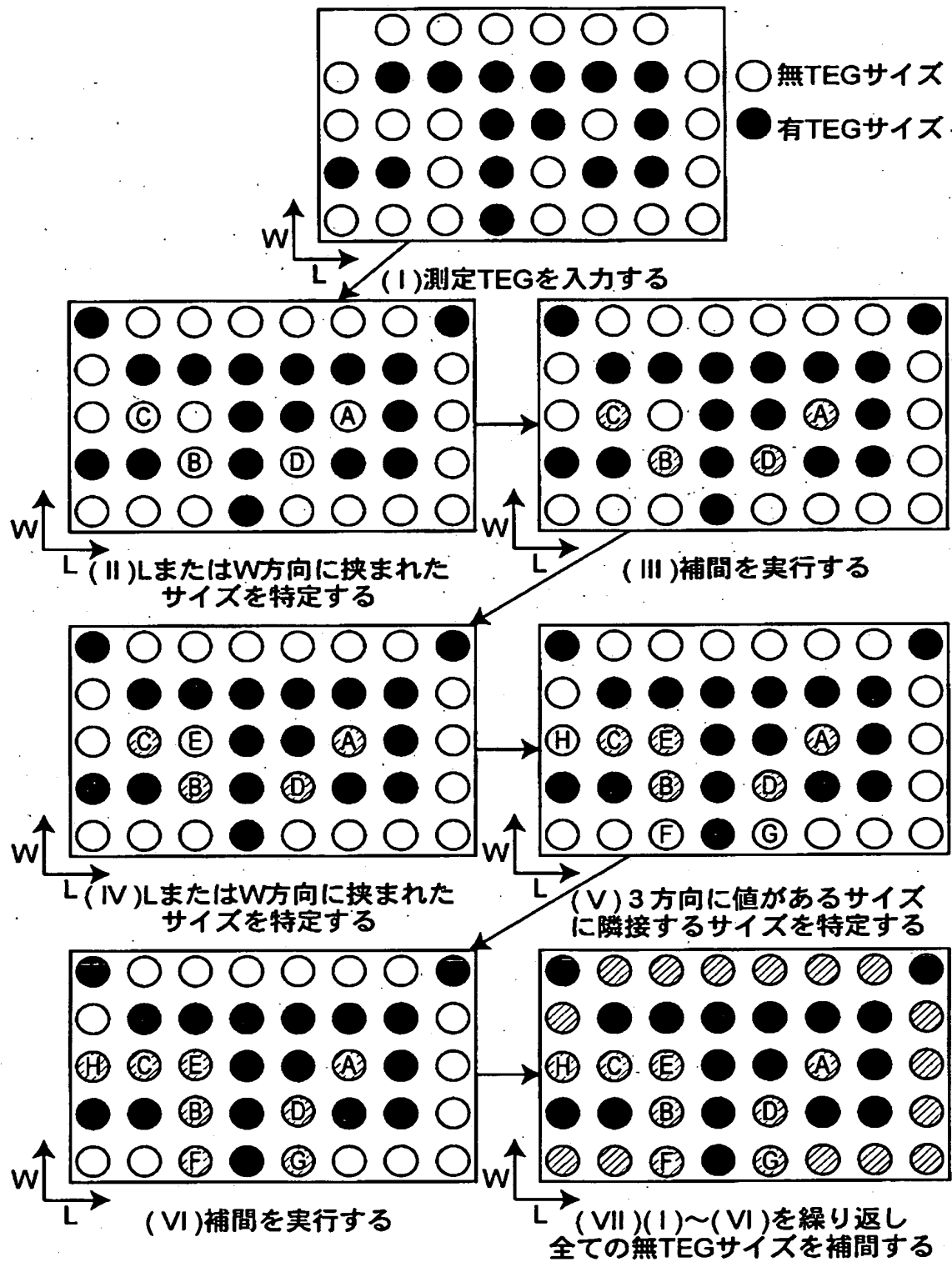
【図 1】



【図 2】

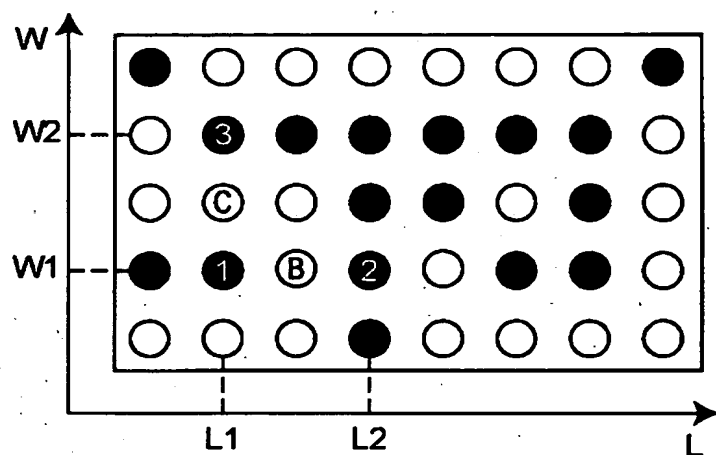


【図 3】

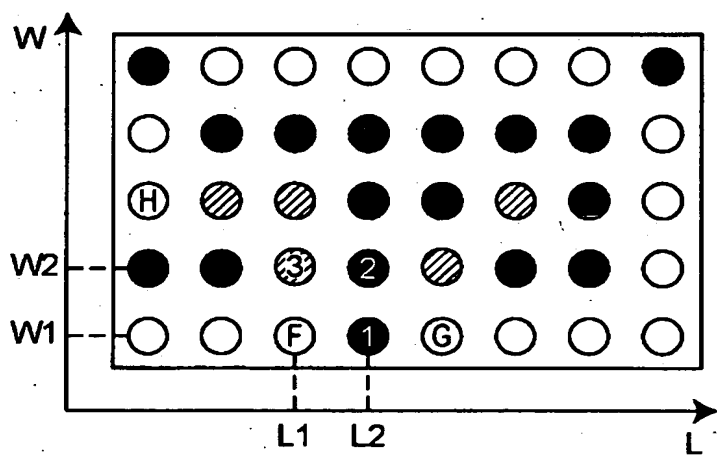




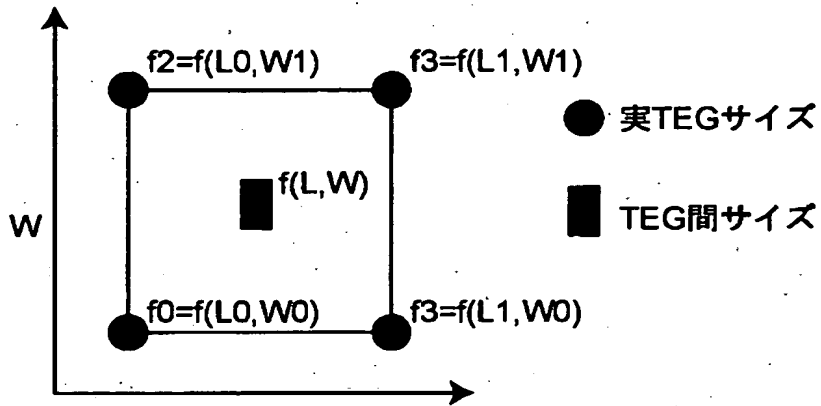
【図 4】



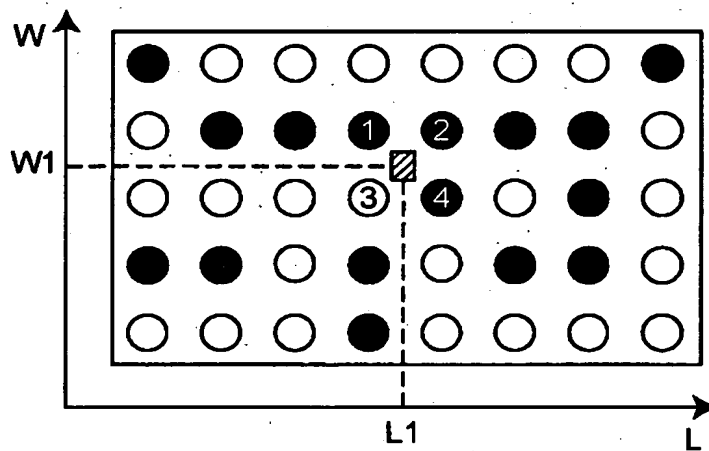
【図 5】



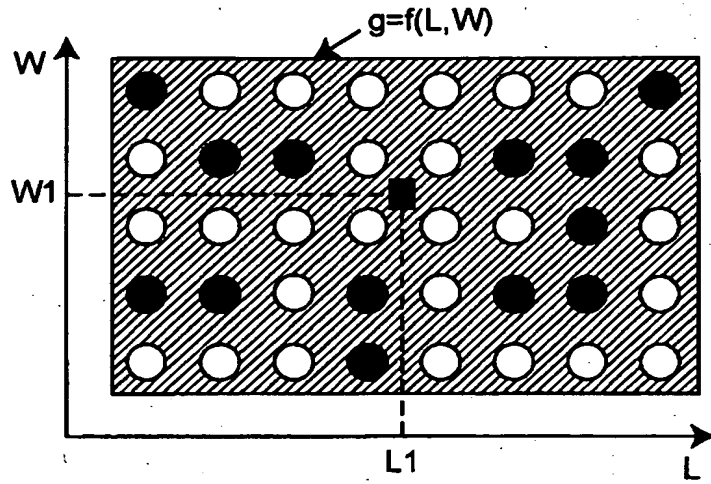
【図 6】



【図 7】



【图 8】



【書類名】 要約書

【要約】

【課題】 MOSFETの実測サイズ（ゲート長／ゲート幅）に基づいて、所望のサイズを有するMOSFETの電気特性を精度高く予測する。

【解決手段】 複数のトランジスタを含む回路の電気特性のシミュレーションを行う回路シミュレータ等を提供する。回路シミュレータは、複数のトランジスタのサイズと位置に基づいて構築されたモデルを格子状に配置したパターン、および、一部のトランジスタの電気特性を測定した測定データを格納した記憶装置と、補間規則に基づいてパターン内で他のトランジスタを特定し、測定データに基づいて他のトランジスタの電気特性を補間した補間データを取得する処理部とを有する。処理部は、パターン内の任意の位置を特定して、その位置の周囲4つのトランジスタの測定データおよび／または補間データに基づいて、その位置における電気特性のデータを補間して出力する。

【選択図】 図2

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日	1990年 8月24日
[変更理由]	新規登録
住 所	東京都千代田区丸の内2丁目2番3号
氏 名	三菱電機株式会社